Midterm Project: ALU Design

105學年度第一學期

老師：朱守禮　老師

學生：

第 12 組

資訊二甲 10527124 邱正皓

資訊二甲 10527109 范文豪

1. 背景

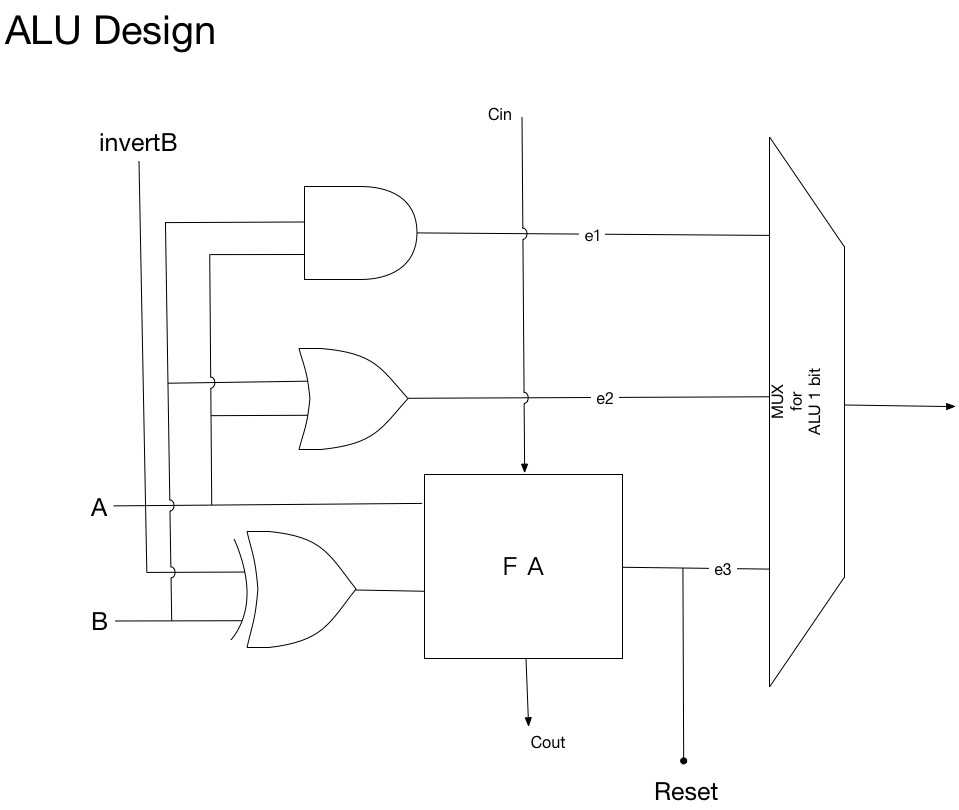
Project使用Verilog與Modelsim進行開發ALU除法器。

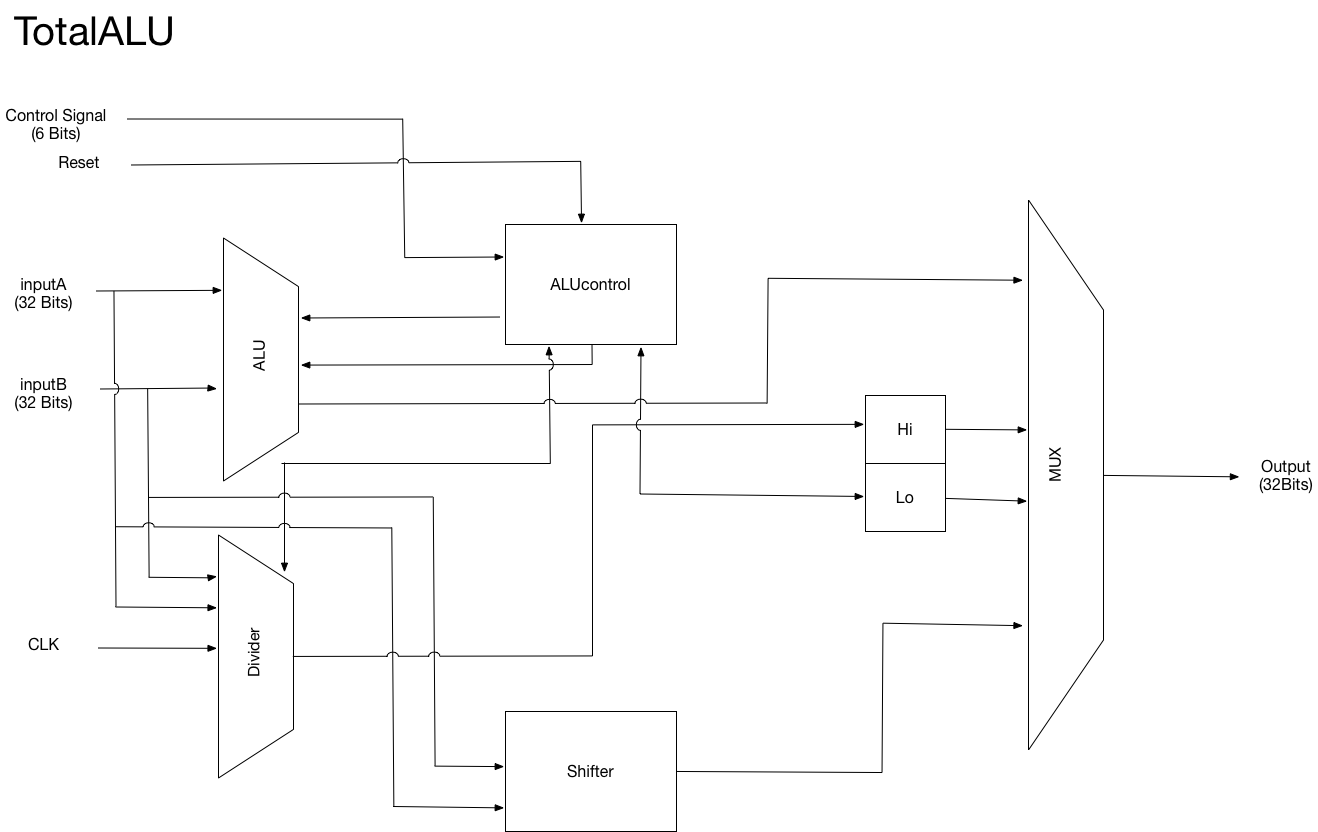
1. 方法

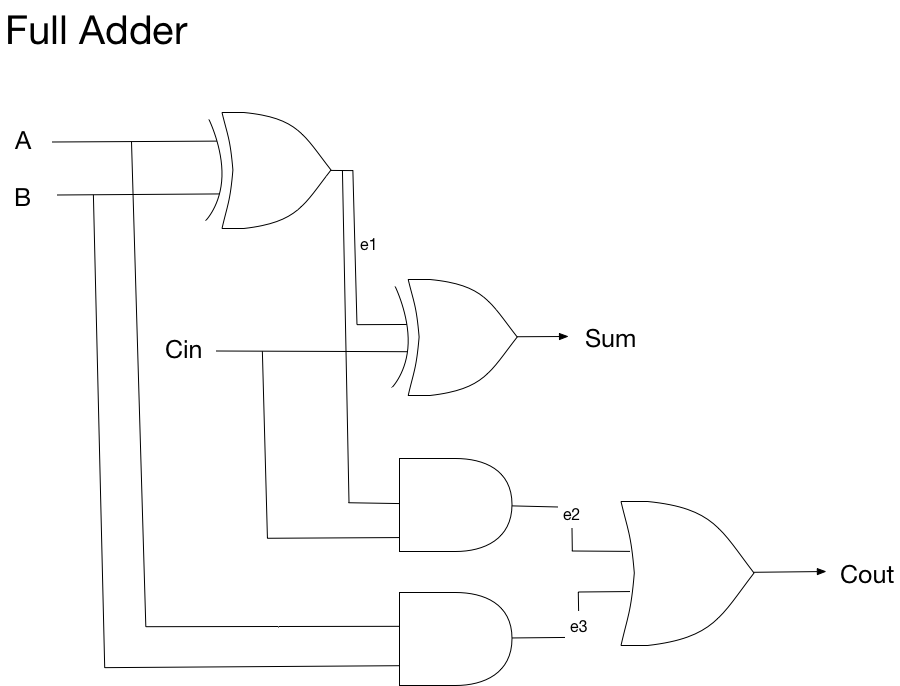
\*\*繪圖的附檔部分因未能使用visio故以OmmiGrffle做繪圖已有使用該軟體轉為.vdx檔，與原檔皆一起壓縮於附件中。

1. ALU :

此ALU有以下功能:32-bits AND, OR, ADD, SUB, SLT，以Full-Adder做起並以Ripple-Carry的進位方式連接32個1-Bit ALU Bit Slice，使之變為32-bits ALU。







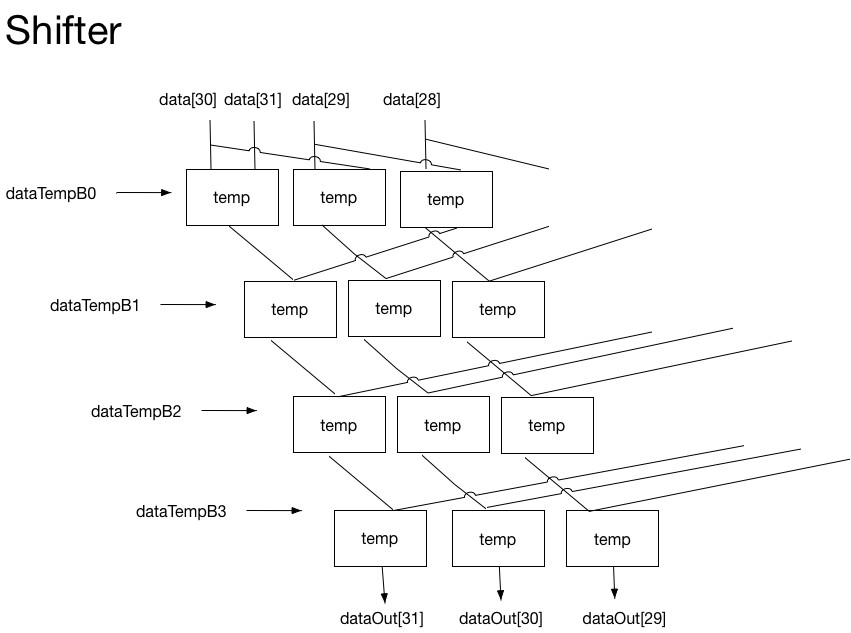
1. Divider :

使用第一版除法器來設計，預設先產生除數、餘數的temp以及並將商數先設為0，經過Signal的判斷後，再進行一次將值傳送給HiLo Reg.。

1. Shifters :

以Data Flow Modeling、組合邏輯的方式設計之32 bits的Barrel Shifter。

以2對1多工器(Mux for Shifter)來組合2^5個Gate進行移位。

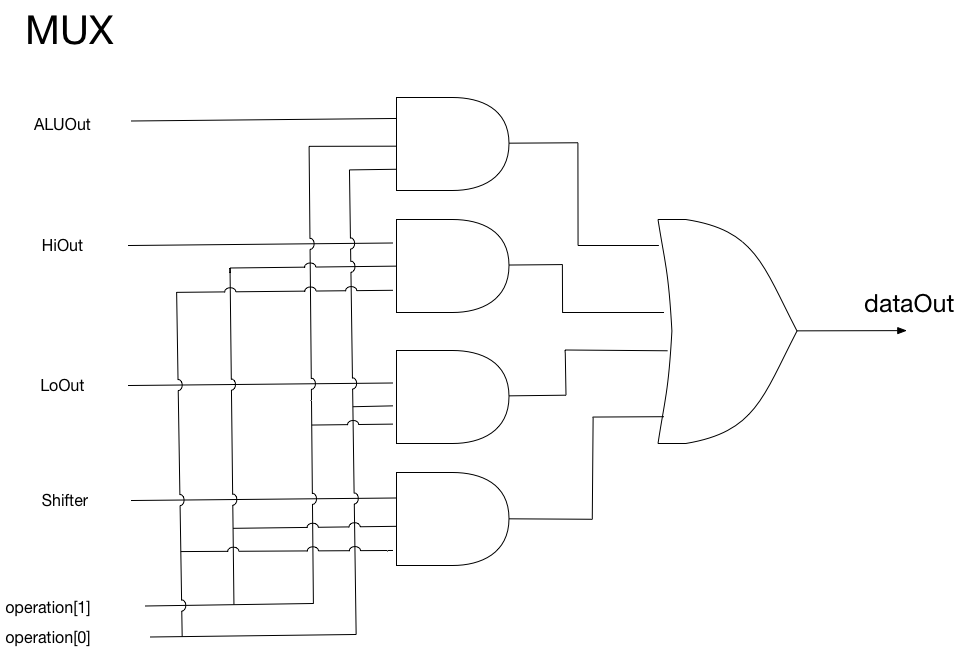


1. HiLo Reg. :

在除法器計算完畢之後，將結果儲存到兩個32 bits暫存器。

1. Mux :

以Data Flow Modeling、組合邏輯的方式設計，整合四組訊號後則一輸出。



1. ALU Control :

根據輸入的6 bits訊號，決定要執行哪個運算， Testbench :

以讀檔將測試資料讀入，驗證各項module之功能正確性。

1. TotalALU :

將各項module 建立並執行。

1. 結果

第一組 AND(36)、12、10 Output :

第二組 OR(37)、12、10 Output :

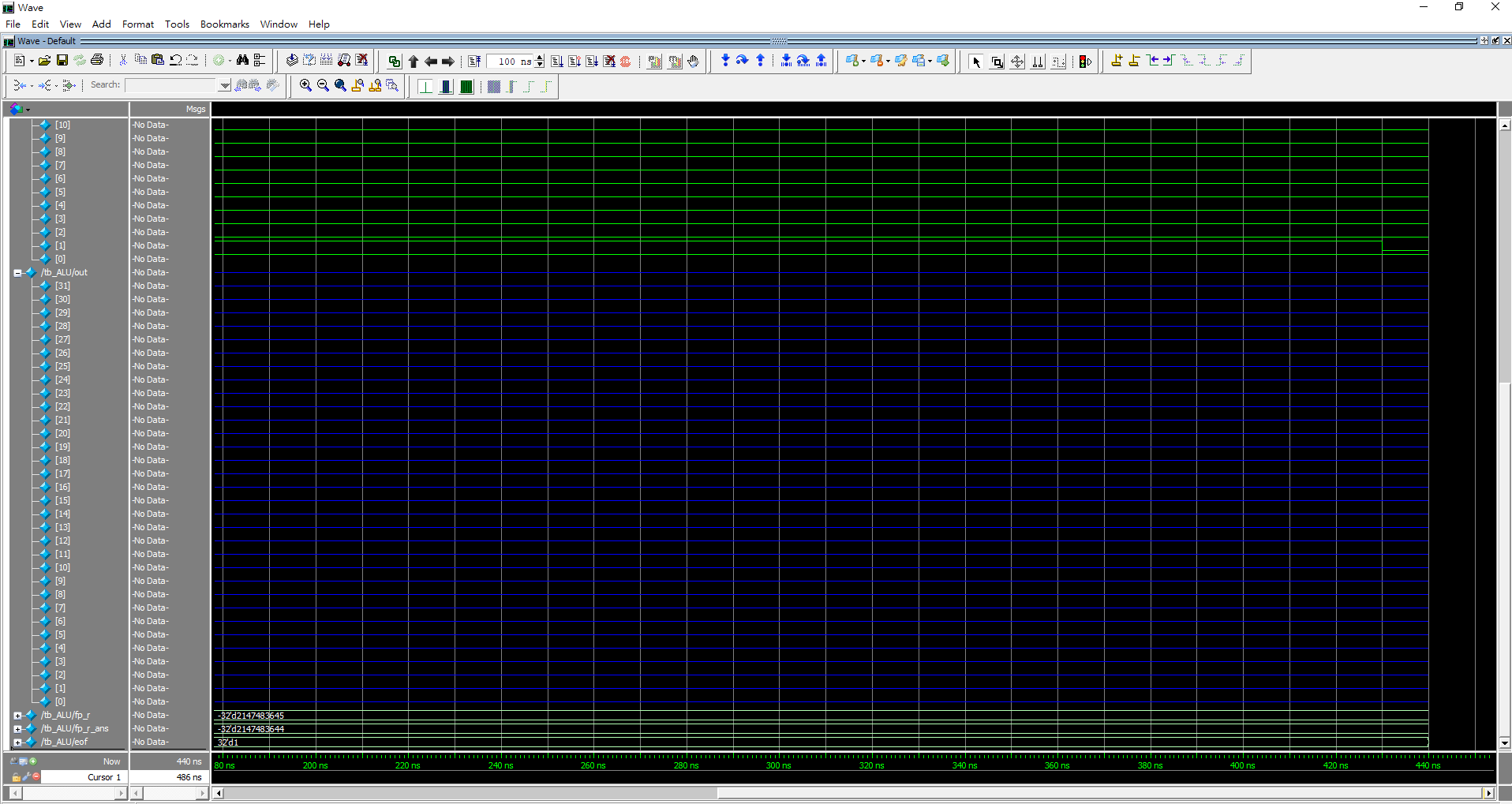
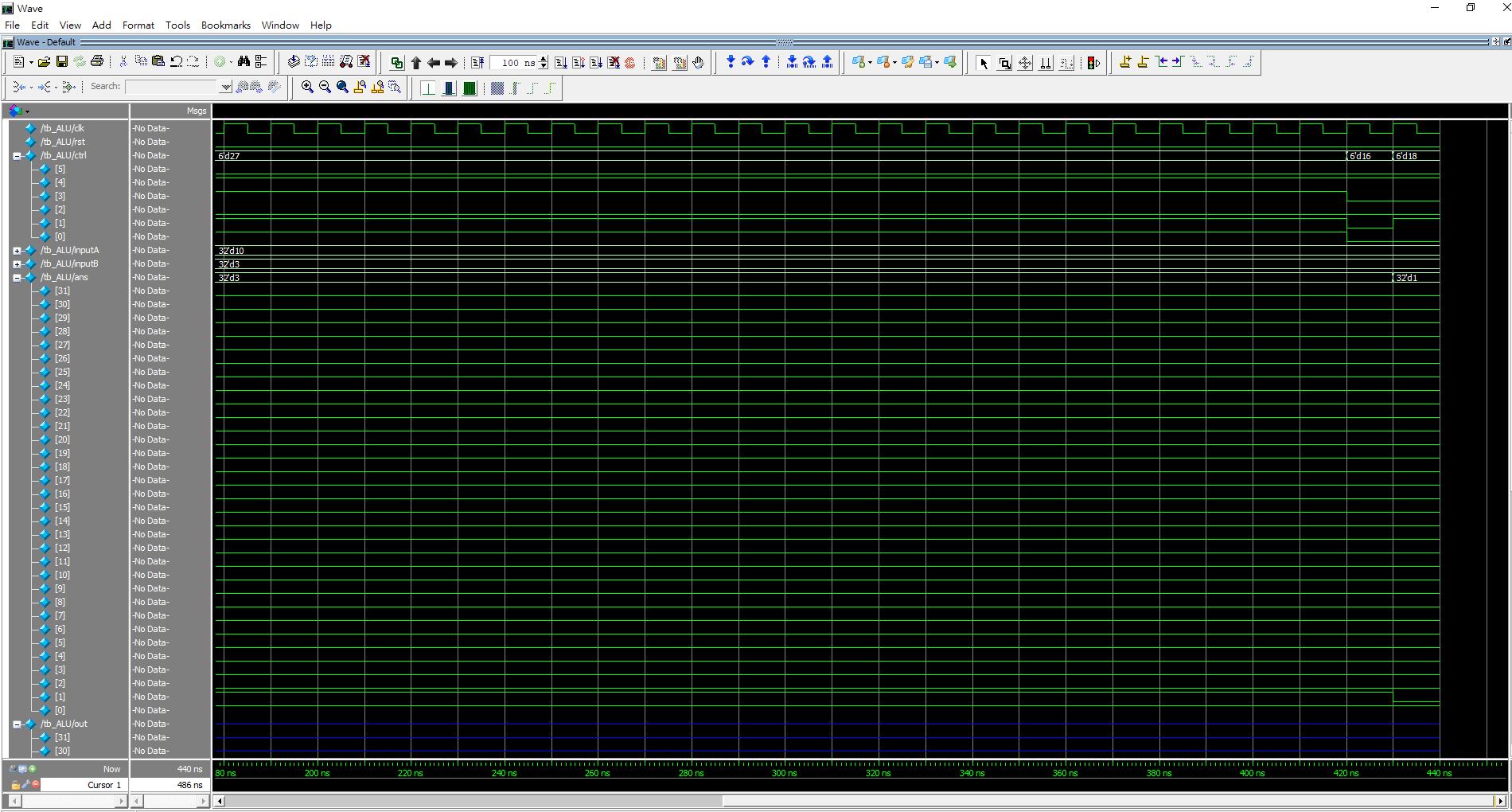
第三組 ADD(32)、12、10 Output :

第四組 SUB(34)、12、10 Output :

第五組 SLT(42)、12、2 Output :

第六組 SRL(2)、12、2 Output :

第七組 DIVU(27)、10、3



四、討論

分工：

1. ALU : 邱正皓
2. tb ALU:
3. ALURCA: 邱正皓
4. FA: 邱正皓
5. Divider : 邱正皓
6. Shifter : 邱正皓
7. HiLo : 邱正皓
8. Mux : 邱正皓
9. ALU Control :
10. Total ALU :
11. 畫圖：邱正皓
12. 報告 : 邱正皓

五、結論

邱正皓：

之前只有在這學期的電子實驗碰過Verilog，雖然寫起來跟C很像，但卻又有很多不一樣的地方，甚至執行邏輯也不盡相同，常常遇到Syntax Error、Compile也一直不過，雖然看起來短短幾行程式碼，但花的時間與精力卻是很大，從理解ALU除法器的架構，再到實際以程式語言去實作，再者繪製報告的架構圖也是第一次繪製比較詳盡的電路圖，真的摸索了很久一段時間才有現在的結果，到處問同學和學長，雖然結果不能說很好，但也已經盡力了，這次Project學到很多東西，雖然很多東西仍然還有點模糊，但相信經過這次，下次的期末Project應當能更快速的上手也能寫出更清楚簡潔的程式碼。

范文豪：

因為有在這學期的電子實驗先接觸了Verilog也就是Modelsim，雖然寫起來跟C很像，但也很多地方可以看出兩者有許多的差異，而在這次的Project中實際的寫過才會體會到這兩者是哪裡不同，很多地方都是要從頭開始了解，在Compile時也常常出現Error，那些看似正常的地方卻往往是出現問題的地方，也常常需要問同學或是上網找，雖然這次結果不算好，但我們都已經盡力了，透過這次的Minterm Project我們學到了很多，我相信下次的Final Project我們會做得更好更完善，把我們不足的地方補足，已經完成的地方做得更完美。

六、未來展望

這次的project對我們來說很不容易上手但透過這次的期中Project更加了解Verilog的運作方式以及各種邏輯組合方式，期待在未來的Final Project能夠更快速的、更正確地將所有需求都完成。更甚之，希望未來能夠設計出一套更高階的電路，甚至能在真正的實務中使用到讓經驗與生活更加豐富!